



Patent

Customer No. 31561  
Application No.: 10/605,458  
Docket No. 9776-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Huang et al.  
Application No. : 10/605,458  
Filed : September 30, 2003  
For : PIXEL STRUCTURE AND FABRICATING METHOD  
THEREOF  
Examiner :  
Art Unit : 2871

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 091122065, filed on: 2002/10/01.

A return prepaid postcard is also included herewith.

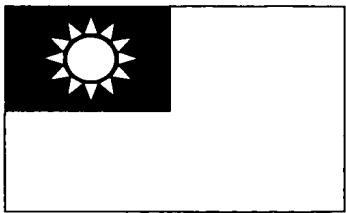
Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: Feb. 17, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

**7F-1, No. 100, Roosevelt Rd.,  
Sec. 2, Taipei 100, Taiwan, R.O.C.  
Tel: 886-2-2369 2800  
Fax: 886-2-2369 7233 / 886-2-2369 7234**



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2002 年 10 月 01 日  
Application Date

申 請 案 號：091122605  
Application No.

申 請 人：友達光電股份有限公司  
Applicant(s)

局 長

Director General

蔡 緯 生

(發文日期：西元 2004 年 1 月 6 日  
Issue Date

發文字號：**09320016050**  
Serial No.

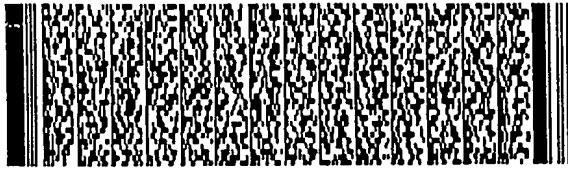
申請日期：	案號：
-------	-----

類別：

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	畫素結構及其製造方法
	英文	Pixel Structure and Fabricating Method Thereof
二、 發明人	姓名 (中文)	1. 黃淑儀 2. 陳士元
	姓名 (英文)	1. Shui Huang 2. Pour Chen
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北市光復南路72巷7弄7號2樓 2. 新竹市東大路3段510巷20號6樓
三、 申請人	姓名 (名稱) (中文)	1. 友達光電股份有限公司
	姓名 (名稱) (英文)	1. Au Optronics Corporation
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹市力行二路一號
	代表人 姓名 (中文)	1. 李焜耀
代表人 姓名 (英文)	1. Kun-Yao Lee	

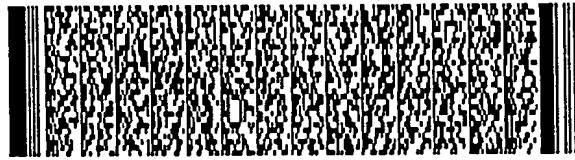


四、中文發明摘要 (發明之名稱：畫素結構及其製造方法)

一種畫素結構及其製造方法，此畫素結構適於配置在一透明基板上，其包括一掃描配線、一閘絕緣層、一資料配線、一遮光層、一薄膜電晶體、一保護層、一接觸窗以及一畫素電極。其中，遮光層係配置在透明基板之表面上且對應配置於資料配線之兩側，而且配置在資料配線兩側之遮光層係彼此電性連接，以避免因資料配線與其兩側之遮光層所產生之寄生電容不一致，而導致顯示不均勻之情形。

英文發明摘要 (發明之名稱：Pixel Structure and Fabricating Method Thereof)

A pixel structure depositing on a substrate comprises a scan line, a gate insulating layer, a data line, a shelling layer, a TFT, a passivation layer, a contact and a pixel electrode. The shelling layer is deposited on the substrate corresponding to the two sides of the data line, and the shelling layer deposited beside the data line is electronically connected for avoiding the parasitism capacities beside the data line are not equal and causing the shot mura.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

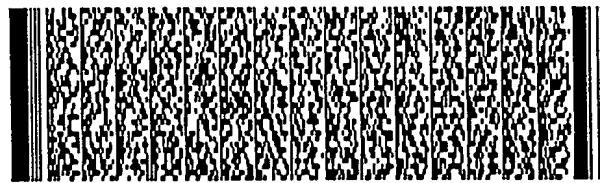
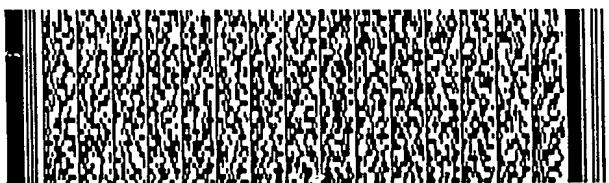
本發明是有關於一種半導體元件之結構及其製造方法，且特別是有關於一種薄膜電晶體液晶顯示器(Thin Film Transistor Liquid Crystal Display，TFT-LCD)之畫素結構及其製造方法。

薄膜電晶體液晶顯示器主要由薄膜電晶體陣列基板、彩色濾光陣列基板和液晶層所構成，其中薄膜電晶體陣列基板是由多個以陣列排列之薄膜電晶體，以及與每一薄膜電晶體對應配置之一畫素電極(Pixel Electrode)所組成。而上述之薄膜電晶體係包括閘極、通道層、源極與汲極，薄膜電晶體係用來作為液晶顯示單元的開關元件。

薄膜電晶體元件的操作原理與傳統的半導體MOS元件相類似，都是具有三個端子(閘極、源極以及汲極)的元件。通常薄膜電晶體元件可分成非晶矽與多晶矽材質兩種類型。其中，非晶矽薄膜電晶體是屬於較為成熟之技術。就非晶矽薄膜電晶體液晶顯示器而言，其製造流程大致包括在基板上形成閘極、通道層、源極/汲極、畫素電極以及保護層。

第1圖所示，其繪示為習知一種畫素結構之上視示意圖；第2圖所示，其繪示為第1圖由I-I'之剖面示意圖。

請同時參照第1圖與第2圖，習知畫素結構的製造方法係首先提供一透明基板100。接著，在透明基板100上形成一閘極102以及與閘極102連接之一掃瞄配線130，並且同時在透明基板100上形成一遮光金屬層132a、132b，而遮光金屬層132a、132b係形成在一預定形成資料配線處之兩



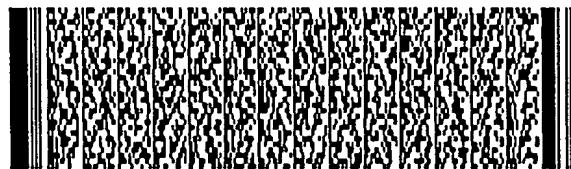
## 五、發明說明 (2)

側。之後，在透明基板100上形成一閘絕緣層104，覆蓋住閘極102、掃瞄配線130以及遮光金屬層132a、132b。

接著，在閘極102上方之閘絕緣層104上形成一通道層106。然後，在通道層106上形成一源極/汲極108a/108b，並且同時在閘絕緣層104上形成與源極108a連接之一資料配線140，其中資料配線140所延伸之方向係與掃瞄配線130所延伸之方向垂直，而且在資料配線140兩側之閘絕緣層104底下係形成有遮光金屬層132a、132b。而閘極102、通道層106以及源極/汲極108a/108b係構成一薄膜電晶體120。

之後，在透明基板100之上方形成一保護層110，覆蓋住薄膜電晶體120與資料配線140。續之，在保護層110中形成一開口112，暴露出薄膜電晶體之汲極108b。接著，在保護層110上形成一畫素電極114，其中畫素電極114與薄膜電晶體120之汲極108b之間係藉由開口112而彼此電性連接。在此，所定義出之畫素電極114可能同時覆蓋住遮光金屬層132a、132b。

由於遮光金屬層132a、132b與資料配線140之間以及遮光金屬層132a、132b與畫素電極114之間會產生有寄生電容，又由於遮光金屬層132a、132b係為浮置狀態，因此其所產生之寄生電容將難以計算與控制。特別是，倘若在定義資料配線140時有些許的偏差，將會造成資料配線140與遮光金屬層132a、132b之間的距離不一致，如第1圖所示，遮光金屬層132a與資料配線140之距離較遮光金屬層

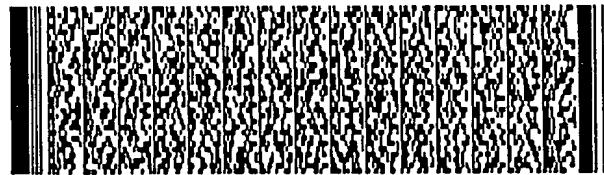
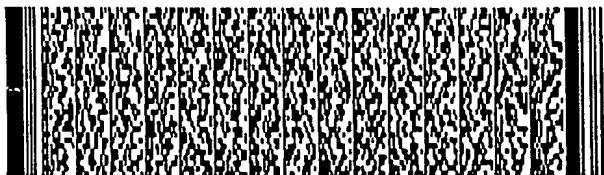


### 五、發明說明 (3)

132b 與資料配線 140 之距離要小。如此一來，資料配線 140 與其兩側之遮光金屬層 132a、132b 所產生之寄生電容量會不相同，換言之，資料配線 140 與其兩側之遮光金屬層 132a、132b 之間的電荷分佈會不均勻，如此將會造成兩區域顯示的顏色與灰度會不均勻，其稱為 Shot Mura。

因此，本發明的目的就是在提供一種畫素結構及其製造方法，以解決習知之方法因資料配線與其兩側之遮光金屬層之間寄生電容不一致而導致顯示不均勻之問題。

本發明提出一種畫素結構，其係適於架構於一透明基板上，此畫素結構包括一掃描配線、一閘絕緣層、一資料配線、一遮光層、一薄膜電晶體、一保護層、一接觸窗以及一畫素電極。其中掃瞄配線係配置在透明基板上，閘絕緣層係配置於透明基板上，並覆蓋住掃描配線。資料配線係配置於閘絕緣層上，且資料配線所延伸的方向係垂直於掃描配線所延伸的方向。另外，遮光層係配置在透明基板之表面上，並對應配置於資料配線之兩側，其中資料配線兩側之遮光層係彼此電性連接。在本發明中遮光層係由一遮光部以及一連接部所構成，其中遮光部係對應配置在資料配線之兩側，而連接部係將配置在資料配線兩側之遮光部連接起來。另外，本發明之遮光層亦可以是橫越資料配線兩側之一塊狀遮光金屬層。除此之外，薄膜電晶體係配置於透明基板上，且薄膜電晶體包括一閘極、一通道層與一源極/汲極，其中源極係與資料配線電性連接，閘極係與掃描配線電性連接，而通道層係配置在閘極上方之間絕

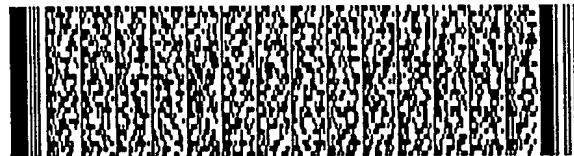
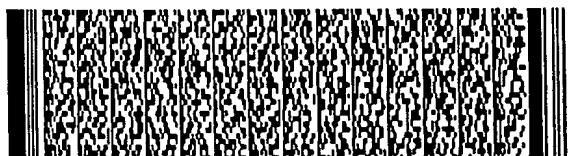


#### 五、發明說明 (4)

緣層上。另外，保護層係配置於透明基板之上方，覆蓋住薄膜電晶體與資料配線。接觸窗係配置在保護層中。而畫素電極係配置於保護層上，其中畫素電極係藉由接觸窗而與汲極電性連接。

本發明提出一種畫素結構，其係適於架構於一透明基板上，此畫素結構包括一掃描配線、一閘絕緣層、一資料配線、一遮光層、一介電層、一薄膜電晶體、一保護層、一接觸窗以及一畫素電極。其中掃描配線係配置在透明基板上，閘絕緣層係配置於透明基板上，並覆蓋住掃描配線。資料配線係配置於閘絕緣層上，且資料配線所延伸的方向係垂直於掃描配線所延伸的方向。另外，遮光層係配置在透明基板上，並對應配置在資料配線之兩側。而介電層係配置在遮光層上方之閘絕緣層以及資料配線之間。在此，資料配線兩側之遮光層可選擇性的彼此電性連接。總而言之，在遮光層以及資料配線之間係配置有閘絕緣層以及介電層。除此之外，薄膜電晶體係配置於透明基板上，且薄膜電晶體包括一閘極、一通道層與一源極/汲極，其中源極係與資料配線電性連接，閘極係與掃描配線電性連接，而通道層係配置在閘極上方之閘絕緣層上。另外，保護層係配置於透明基板之上方，覆蓋住薄膜電晶體與資料配線。接觸窗係配置在保護層中。而畫素電極係配置於保護層上，其中畫素電極係藉由接觸窗而與汲極電性連接。

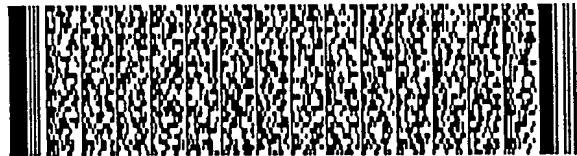
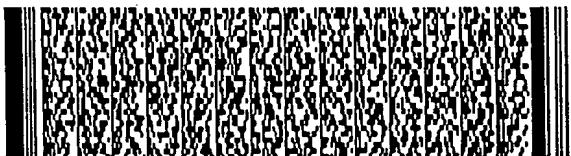
本發明提出一種畫素結構的製造方法，此方法係首先在一透明基板上形成一閘極與閘極連接之一掃瞄配線，並



## 五、發明說明 (5)

且同時在透明基板上形成一遮光層，其中，遮光層係形成在一預定形成資料配線處之兩側，且資料配線處兩側之遮光層係彼此電性連接。在本發明中，遮光層係由一遮光部以及一連接部所構成，其中遮光部係形成在對應資料配之兩側，而連接部係將資料配線兩側之遮光部連接起來。另外，本發明之遮光層亦可以定義成橫越資料配線兩側之一塊狀遮光金屬層。之後，在透明基板上形成一閘絕緣層，覆蓋住閘極、掃瞄配線以及遮光層。接著，在閘極之閘絕緣層上形成一通道層。然後在通道層上形成一源極/汲極，並且同時在閘絕緣層上形成與源極連接之一資料配線，其中閘極、通道層以及源極/汲極係構成一薄膜電晶體。續之，在透明基板之上方形成一保護層，覆蓋住薄膜電晶體以及資料配線。接著在保護層中形成一開口，暴露汲極。之後在保護層上形成一畫素電極，其中畫素電極係藉由開口而與汲極電性連接。

本發明提出一種畫素結構的製造方法，此方法係首先在一透明基板上形成一閘極與閘極連接之一掃瞄配線，並且同時在透明基板上形成一遮光層，其中，遮光層係形成在一預定形成資料配線處之兩側，且形成在預定形成資料配線處兩側之遮光層可以選擇性的彼此電性連接。之後，在透明基板上形成一閘絕緣層，覆蓋住閘極、掃瞄配線以及遮光層。接著，在閘極之閘絕緣層上形成一通道層，在遮光層上之閘絕緣層上形成一介電層。然後在通道層上形成一源極/汲極，並且同時在閘絕緣層上形成與源極連接



## 五、發明說明 (6)

之一資料配線，其中閘極、通道層以及源極/汲極係構成一薄膜電晶體，且遮光層與資料配線之間係形成有閘絕緣層與介電層。續之，在透明基板之上方形成一保護層，覆蓋住薄膜電晶體以及資料配線。接著在保護層中形成一開口，暴露出汲極。之後在保護層上形成一畫素電極，其中畫素電極係藉由開口而與汲極電性連接。

本發明之畫素結構及其製造方法，由於配置在資料配線兩側之遮光層係彼此電性連接，因此資料配線與其兩側之遮光層所產生之電容可以互相平衡，而避免因資料配線兩側之寄生電容不一而造成顯示不均勻之情形。

本發明之畫素結構及其製造方法，由於資料配線與遮光層之間除了有一閘絕緣層之外，還包括有一介電層，基於電容係與電容介電層之厚度成反比之關係，因此此種結構及方法可降低寄生電容量，進而減少因資料配線兩側之寄生電容不一而造成顯示不均勻之情形。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 圖式之標示說明：

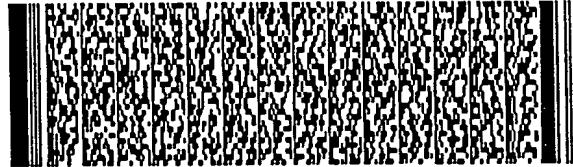
100：透明基板

102：閘極

104：閘絕緣層

106：通道層

108a/108b：源極/汲極



## 五、發明說明 (7)

110：保護層

112：開口(接觸窗)

114：畫素電極

120：薄膜電晶體

130：掃瞄配線

132a、132b、132c、134、160：遮光層

140：資料配線

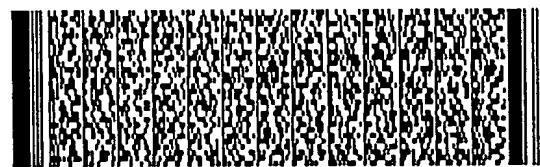
150：介電層

### 第一實施例

第3圖所示，其繪示為依照本發明一較佳實施例之一畫素結構之上視示意圖；第4圖所示，其繪示為第3圖中由III-II'之剖面示意圖。

請參照第3圖與第4圖，首先提供一透明基板100，其中透明基板100例如是一玻璃基板或一塑膠基板。接著，在透明基板100上形成一閘極102以及與閘極102連接之一掃瞄配線130，且同時在透明基板100上成一遮光層134。其中，遮光層134係由一遮光部132a、132b以及一連接部132c所構成，且遮光部132a、132b係配置在一預定形成資料配線處之兩側，而連接部132c係將遮光部132a、132b連接起來。

在本實施例中，閘極102、掃瞄配線130以及遮光層134之材質例如是鉭、鈦或鋁金屬等導體。之後，在透明基板100上全面性的形成一閘絕緣層104，覆蓋住閘極102、掃瞄配線130以及遮光層134。其中，閘絕緣層104例



## 五、發明說明 (8)

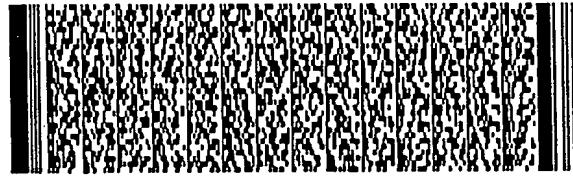
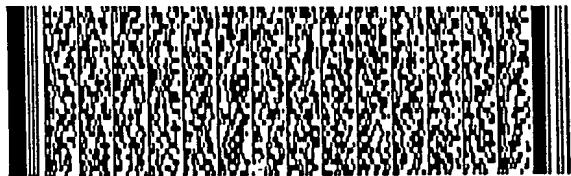
如是一氮化矽層或是一氧化矽層。

接著，在閘極102上方之閘絕緣層104上形成一通道層106。而在通道層106之表面上更包括形成有一歐姆接觸層(未繪示)。在此，通道層106之材質例如是非晶矽(a-Si)，而歐姆接觸層之材質例如是經摻雜之非晶矽(n+-Si)。

然後，在通道層106上形成一源極/汲極108a/108b，並且同時在閘絕緣層104上形成與源極108a連接之一資料配線140，其中資料配線140所延伸之方向係與掃瞄配線130所延伸之方向垂直，且資料配線140兩側之閘絕緣層104底下係形成有遮光層134。而閘極102、通道層106以及源極/汲極108a/108b係構成一薄膜電晶體120。

之後，在透明基板100之上方形成一保護層110，覆蓋住薄膜電晶體120以及資料配線140。續之，在保護層110中形成一開口112，暴露出薄膜電晶體之汲極108b。接著，在保護層110上形成一畫素電極114，其中畫素電極114與薄膜電晶體120之汲極108b之間隙藉由開口112而彼此電性連接，且所定義出之畫素電極114可能同時覆蓋住部分遮光層134。

本實施之畫素結構由於其遮蔽層134之遮光部132a、132b之間係藉由連接部132c而彼此電性連接，因此資料配線140與其兩側之遮光部132a、132b所產生之寄生電容則可以互相平衡，因此可避免因資料配線140兩側之電容不一而導致顯示不均勻之情形。



## 五、發明說明 (9)

本實施例另一種可防止顯示不均勻之畫素結構的製造方法如第5圖所示，第5圖係為依照本發明另一較佳實施例之畫素結構之上視示意圖，第6圖係為第5圖中由III-III'之剖面示意圖。

請參照第5圖與第6圖，如先前所描述，在透明基板100上形成閘極102與掃瞄配線130的同時，亦在透明基板100上形成一遮光層160。在此，所形成之遮光層160係橫越一預定形成資料配線處之一塊狀遮光金屬層160。

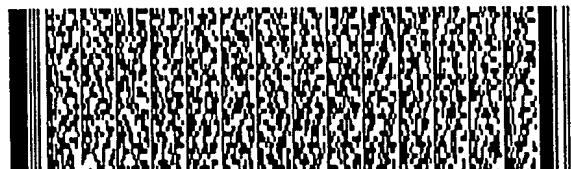
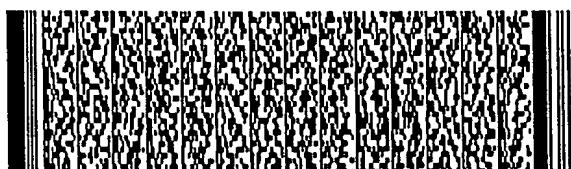
之後，在透明基板100上方形成一閘絕緣層104，覆蓋住閘極102、掃瞄配線130與遮光層160。

接著，如先前所述，依序形成一通道層106、一源極/汲極108a/108b以及與源極108a連接之一資料配線140，以構成一薄膜電晶體120。之後，再依照先前所述之方法形成一保護層110、一接觸窗112以及一畫素電極114，以完成一畫素結構之製作。

在此，由於資料配線140下方之遮光層160係為橫越資料配線140之一塊狀遮光金屬層，使得資料配線140兩側之遮光層160的電位是相等的，因此可避免因資料配線140兩側之電容不一而導致顯示不均勻之情形。

本發明之畫素結構係適於架構於一透明基板100上，此畫素結構包括一掃描配線130、一閘絕緣層104、一資料配線140、一遮光層134(或遮光層160)、一薄膜電晶體120、一保護層110、一接觸窗112以及一畫素電極114。

其中，掃瞄配線130係配置在透明基板100上，閘絕緣



## 五、發明說明 (10)

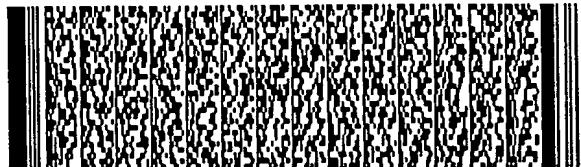
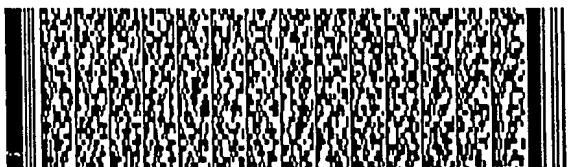
層104係配置於透明基板100上，並覆蓋住掃描配線130。資料配線140係配置於閘絕緣層104上，且資料配線140所延伸的方向係垂直於掃描配線130所延伸的方向。

另外，遮光層134係配置在透明基板100之表面上，並對應配置於資料配線140之兩側，其中資料配線140兩側之遮光層134係彼此電性連接。在本實施例中，遮光層134係由一遮光部132a、132b以及一連接部132c所構成，其中遮光部132a、132b係對應配置在資料配線140之兩側，而連接部132c係將配置在資料配線140兩側之遮光部132a、132b連接起來。另外，本發明之遮光層160亦可以是橫越資料配線兩側之一塊狀遮光金屬層160。

除此之外，薄膜電晶體120係配置於透明基板100上，且薄膜電晶體120包括一閘極102、一通道層104與一源極/汲極108a/108b，其中源極108a係與資料配線140電性連接，閘極102係與掃描配線130電性連接，而通道層106係配置在閘極102上方之閘絕緣層104上。另外，保護層110係配置於透明基板100之上方，覆蓋住薄膜電晶體120與資料配線140。接觸窗112係配置在保護層110中。而畫素電極114係配置於保護層110上，其中畫素電極114係藉由接觸窗112而與汲極108b電性連接。

### 第二實施例

本發明另一種可防止顯示不均勻之畫素結構的製造方法如第7圖所示，第7圖係為依照本發明另一較佳實施例之畫素結構之面示意圖。



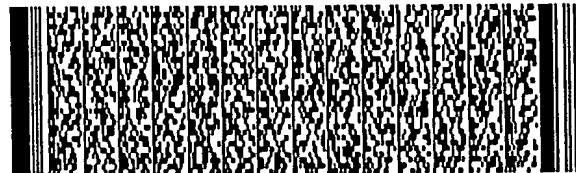
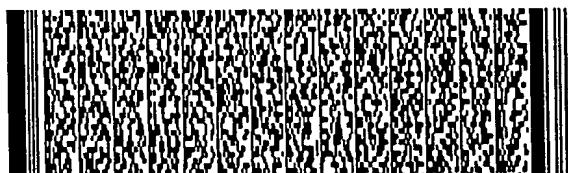
## 五、發明說明 (11)

請參照第7圖，如先前習知技術所描述，在透明基板100上形成閘極102與掃瞄配線130的同時，亦在透明基板100上形成遮光層132a、132b。之後，在透明基板100上方形成一閘絕緣層104，覆蓋住閘極102、掃瞄配線130與遮光層132a、132b。接著，在遮光層132a、132b上之閘絕緣層104上再額外形成一介電層150，其中介電層150之材質例如是氮化矽。

接續，依序形成一通道層106、一源極/汲極108a/108b以及與源極108a連接之一資料配線140，以構成一薄膜電晶體120。其中，所形成之資料配線140與遮光層132a、132b之間除了形成有閘絕緣層104之外，還形成有一介電層150。之後，再依序先前所述之方法形成一保護層110一接觸窗112以及一畫素電極114，以完成一畫素結構之製作。

值得一提的是，本實施例之於資料配線140與遮光層132a、132b之間額外的形成一層介電層150可以減少資料配線140與遮光層132a、132b之間所產生之寄生電容。另外，在此實施例中，遮光層132a、132b之間可以選擇性的彼此電性連接。例如第1圖所示，遮光層132a、132b之間並未電性連接，或者是如第3圖所示，遮光層132a、132b之間藉由連接部132c而電性連接，或者是如第5圖所示，遮光層160係橫越資料配線140之兩側。

本實施例之畫素結構，其係適於架構於一透明基板100上，此畫素結構包括一掃描配線130、一閘絕緣層



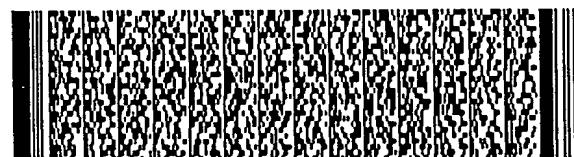
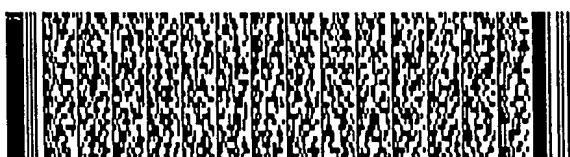
五、發明說明 (12)

104、一資料配線140、一遮光層132a、132b(或遮光層134、160)、一介電層150、一薄膜電晶體120、一保護層110、一接觸窗112以及一畫素電極114。

其中，掃瞄配線130係配置在透明基板100上，閘絕緣層104係配置於透明基板100上，並覆蓋住掃描配線130。資料配線140係配置於閘絕緣層104上，且資料配線140所延伸的方向係垂直於掃描配線130所延伸的方向。

另外，遮光層132a、132b係配置在透明基板100上，並對應配置在資料配線140之兩側。而介電層150係配置在遮光層132a、132b上方之閘絕緣層104以及資料配線140之間。在此，資料配線140兩側之遮光層132a、132b可選擇性的彼此電性連接。例如第1圖所示之遮光層132a、132b(遮光層132a、132b並未電性連接)，或是如第3圖與第5圖所示之遮光層134、150(資料配線兩側之遮光層有電性連接之關係)。總而言之，本實施例之遮光層132a、132b(或遮光層134、160)與資料配線140之間係配置有閘絕緣層104以及介電層150。

除此之外，薄膜電晶體120係配置於透明基板100上，且薄膜電晶體120包括一閘極102、一通道層106與一源極/汲極108a/108b，其中源極108a係與資料配線140電性連接，閘極102係與掃描配線130電性連接，而通道層106係配置在閘極102上方之閘絕緣層104上。另外，保護層110係配置於閘絕緣層104上，覆蓋住薄膜電晶體120與資料配線140。接觸窗112係配置在保護層110中。而畫素電極114



## 五、發明說明 (13)

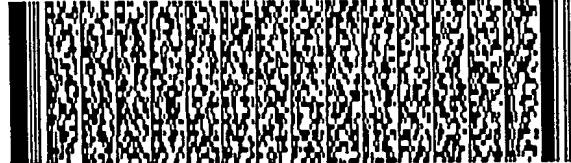
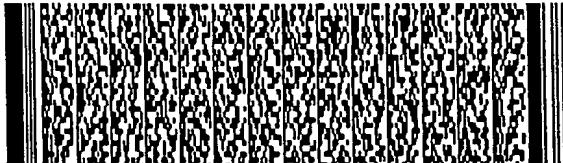
係配置於保護層110上，其中畫素電極114係藉由接觸窗112而與汲極108b電性連接。

在此，由於資料配線140與遮光層132a、132b(或遮光層134、160)之間除了形成有閘絕緣層104之外，還形成有一介電層150，基於電容係與電容介電層之厚度成反比之關係，因此本實施例之結構與方法可以降低資料配線140與遮光層132a、132b(或遮光層134、160)之間之寄生電容量，藉以減少資料配線140兩側因寄生電容不一致而導致顯示不均勻之現象。

本發明之畫素結構及其製造方法，由於配置在資料配線兩側之遮光層係彼此電性連接，因此資料配線與其兩側之遮光層所產生之電容可以互相平衡，而避免因資料配線左右之寄生電容不一而造成顯示不均勻之情形。

本發明之畫素結構及其製造方法，由於資料配線與遮光層之間除了有一閘絕緣層之外，還包括有一介電層，基於電容係與電容介電層之厚度呈反比之關係，因此此種結構及方法可降低寄生電容量，進而減少因資料配線左右之寄生電容不一而造成顯示不均勻之情形。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖為習知一種畫素結構之上視示意圖；

第2圖為第1圖由I-I'之剖面示意圖；

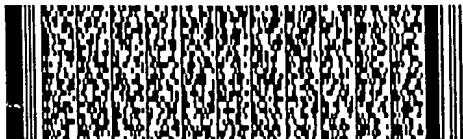
第3圖是依照本發明一較佳實施例之一種畫素結構之上視示意圖；

第4圖為第3圖由II-II'之剖面示意圖；

第5圖是依照本發明一較佳實施例之一種畫素結構之上視示意圖；以及

第6圖為第5圖由III-III'之剖面示意圖；

第7圖是依照本發明一較佳實施例之一種畫素結構之剖面示意圖。



## 六、申請專利範圍

1. 一種畫素結構，適於架構於一透明基板上，該畫素結構包括：

一掃描配線，配置在該透明基板上；

一閘絕緣層，配置於該透明基板上，並覆蓋住該掃描配線；

一資料配線，配置於該閘絕緣層上，且該資料配線所延伸之方向係垂直於該掃描配線所延伸之方向；

一遮光層，配置在該透明基板上並對應配置在該資料配線之兩側，其中該資料配線兩側之該遮光層係彼此電性連接；

一薄膜電晶體，配置於該透明基板上，該薄膜電晶體包括一閘極、一通道層與一源極/汲極，其中該源極係與該資料配線電性連接，該閘極係與該掃描配線電性連接，該通道層係配置在該閘極上方之該閘絕緣層上；

一保護層，配置於該透明基板之上方，覆蓋住該薄膜電晶體與該資料配線；

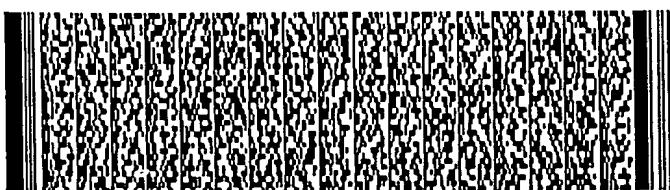
一接觸窗，配置在該保護層中；以及

一畫素電極，配置於該保護層上，其中該畫素電極係藉由該接觸窗而與該汲極電性連接。

2. 如申請專利範圍第1項所述之畫素結構，其中該遮光層係包括：

一遮光部，配置在該透明基板上並對應配置在該資料配線的兩側；以及

一連接部，配置在該透明基板上並將配置在該資料配



## 六、申請專利範圍

線兩側之該遮光部連接起來。

3. 如申請專利範圍第1項所述之畫素結構，其中該遮光層係為橫越該資料配線兩側之一塊狀遮光金屬層。

4. 如申請專利範圍第1項所述之畫素結構，其中該遮光層之材質係與該閘極及該掃瞄配線之材質相同。

5. 一種畫素結構，適於架構於一透明基板上，該畫素結構包括：

一掃描配線，配置在該透明基板上；

一閘絕緣層，配置於該透明基板上，並覆蓋住該掃描配線；

一資料配線，配置於該閘絕緣層上，且該資料配線的延伸方向係垂直於該掃描配線的延伸方向；

一遮光層，配置在透明基板上並對應配置在該資料配線之兩側；

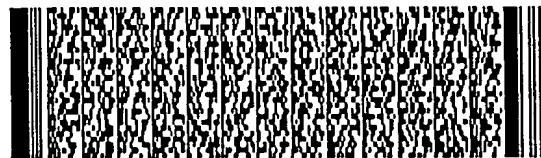
一介電層，配置在該資料配線與該遮光層上方之該閘絕緣層之間；

一薄膜電晶體，配置於該透明基板上，該薄膜電晶體包括一閘極、一通道層與一源極/汲極，其中該源極係與該資料配線電性連接，該閘極係與該掃描配線電性連接，該通道層係配置在該閘極上方之該閘絕緣層上；

一保護層，配置於該透明基板之上方，覆蓋住該薄膜電晶體與該資料配線；

一接觸窗，配置在該保護層中；以及

一畫素電極，配置於該保護層上，其中該畫素電極係



## 六、申請專利範圍

藉由該接觸窗而與該汲極電性連接。

6. 如申請專利範圍第5項所述之畫素結構，其中該介電層係為一氮化矽層。

7. 如申請專利範圍第5項所述之畫素結構，其中該資料配線兩側之該遮光層係彼此電性連接。

8. 如申請專利範圍第7項所述之畫素結構，其中該遮光層係包括：

一遮光部，配置在該透明基板上並對應配置在該資料配線的兩側；以及

一連接部，配置在該透明基板上並將配置在該資料配線兩側之該遮光部連接起來。

9. 如申請專利範圍第8項所述之畫素結構，其中該遮光層係為橫越該資料配線兩側之一塊狀遮光金屬層。

10. 如申請專利範圍第5項所述之畫素結構，其中該遮光層之材質係與該閘極及該掃瞄配線之材質相同。

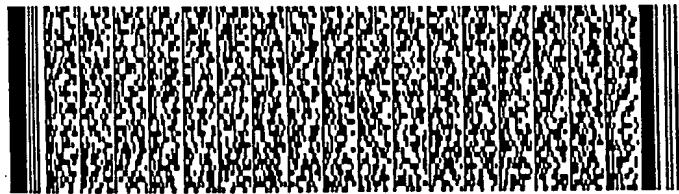
11. 一種畫素結構的製造方法，包括：

在一透明基板上形成一閘極以及與該閘極連接之一掃瞄配線，並且同時在該透明基板上形成一遮光層，其中該遮光層係形成在一預定形成資料配線處之兩側，且形成在該預定形成資料配線處兩側之該遮光層係彼此電性連接；

在該透明基板上形成一閘絕緣層，覆蓋住該閘極、該掃瞄配線以及該遮光層；

在該閘極之該閘絕緣層上形成一通道層；

在該通道層上形成一源極/汲極，並且同時在該閘絕



## 六、申請專利範圍

緣層上形成與該源極連接之一資料配線，其中閘極、該通道層以及該源極/汲極係構成一薄膜電晶體；

在該透明基板之上方形成一保護層，覆蓋住該薄膜電晶體以及該資料配線；

在該保護層中形成一開口，暴露出該汲極；以及

在該保護層上形成一畫素電極，其中該畫素電極係藉由該開口而與該汲極電性連接。

12. 如申請專利範圍第11項所述之畫素結構的製造方法，其中該遮光層係由形成在該預定形成資料配線處兩側之一遮光部以及將形成在該預定形成資料配線處兩側之該遮光部連接起來之一連接部所構成。

13. 如申請專利範圍第11項所述之畫素結構的製造方法，其中該遮光層係為橫越該資料配線之一塊狀遮光金屬層。

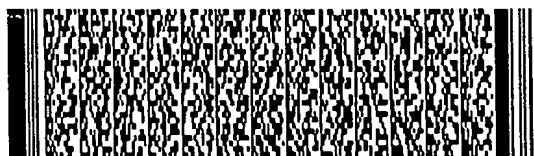
14. 如申請專利範圍第11項所述之畫素結構的製造方法，其中該遮光層之材質係與該閘極及該掃瞄配線之材質相同。

15. 一種畫素結構的製造方法，包括：

在一透明基板上形成一閘極以及與該閘極連接之一掃瞄配線，並且同時在該透明基板上形成一遮光層，其中該遮光層係形成在一預定形成資料配線處之兩側；

在該透明基板上形成一閘絕緣層，覆蓋住該閘極、該掃瞄配線以及該遮光層；

在該閘極之該閘絕緣層上形成一通道層；



## 六、申請專利範圍

在該遮光層上之該閘絕緣層上形成一介電層；

在該通道層上形成一源極/汲極，並且同時在該閘絕緣層上之該預定形成資料配線處形成與該源極連接之一資料配線，其中閘極、該通道層以及該源極/汲極係構成一薄膜電晶體；

在該透明基板之上方形成一保護層，覆蓋住該薄膜電晶體以及該資料配線；

在該保護層中形成一開口，暴露出該汲極；以及

在該保護層上形成一畫素電極，其中該畫素電極係藉由該開口而與該汲極電性連接。

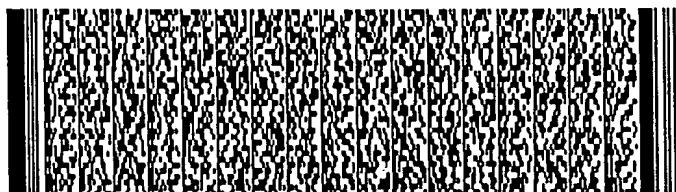
16. 如申請專利範圍第15項所述之畫素結構的製造方法，其中該介電層係為一氮化矽層。

17. 如申請專利範圍第15項所述之畫素結構的製造方法，其中形成在該資料配線兩側之該遮光層係彼此電性連接。

18. 如申請專利範圍第17項所述之畫素結構的製造方法，其中該遮光層係由形成在該預定形成資料配線處兩側之一遮光部以及將形成在該預定形成資料配線處兩側之該遮光部連接起來之一連接部所構成。

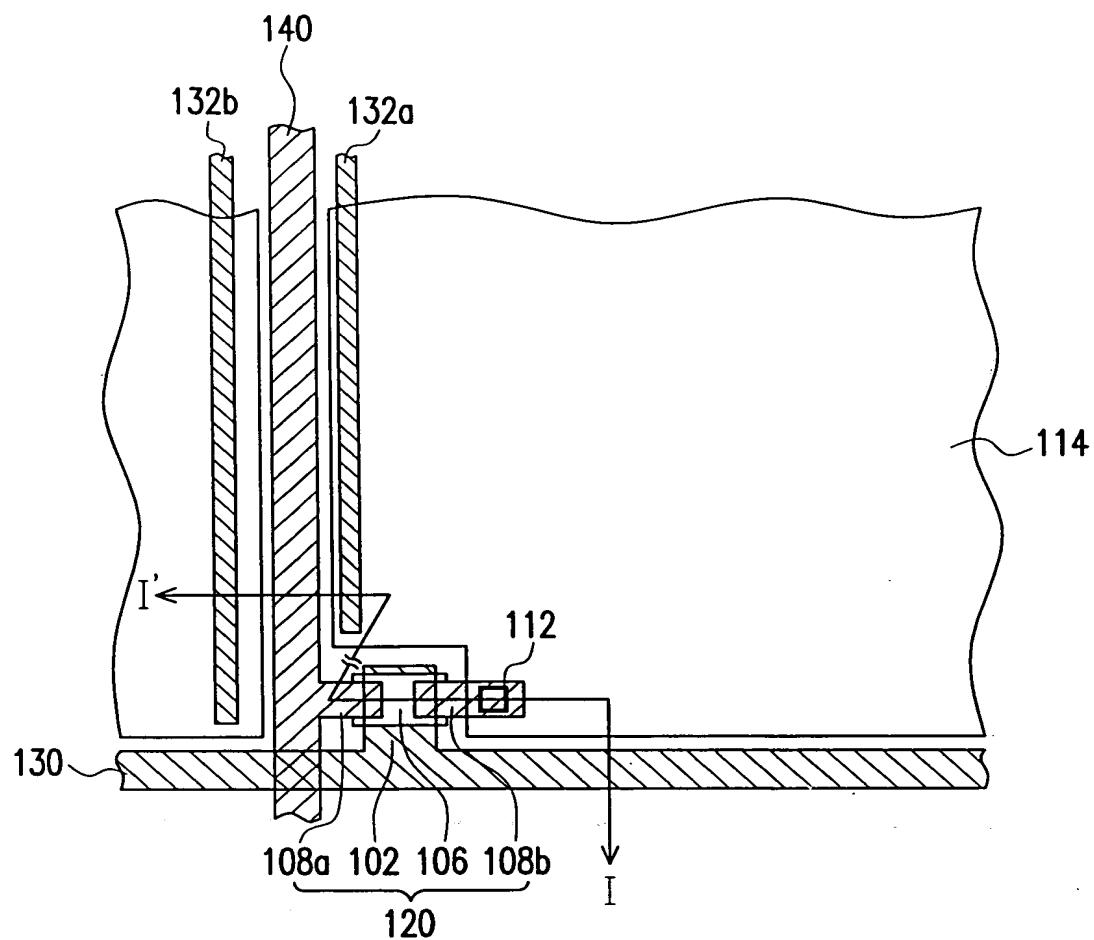
19. 如申請專利範圍第17項所述之畫素結構的製造方法，其中該遮光層係為橫越該資料配線之一塊狀遮光金屬層。

20. 如申請專利範圍第15項所述之畫素結構的製造方法，其中該遮光層之材質係與該閘極及該掃瞄配線之材質

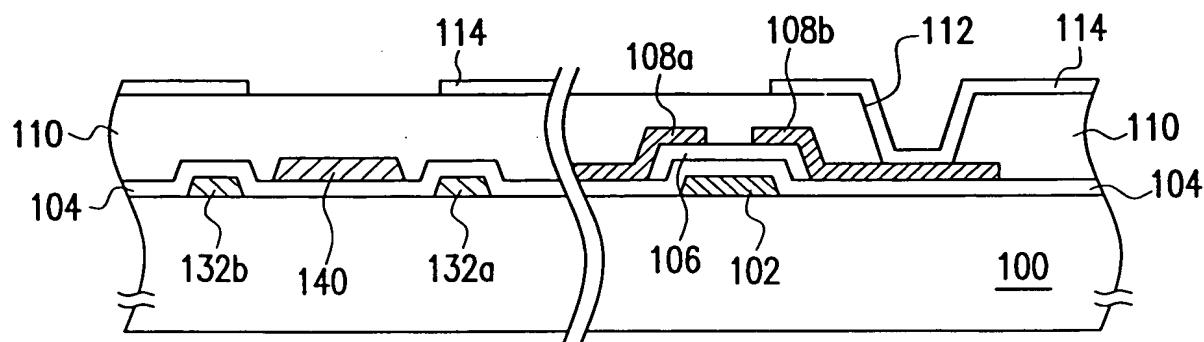


六、申請專利範圍  
相同。

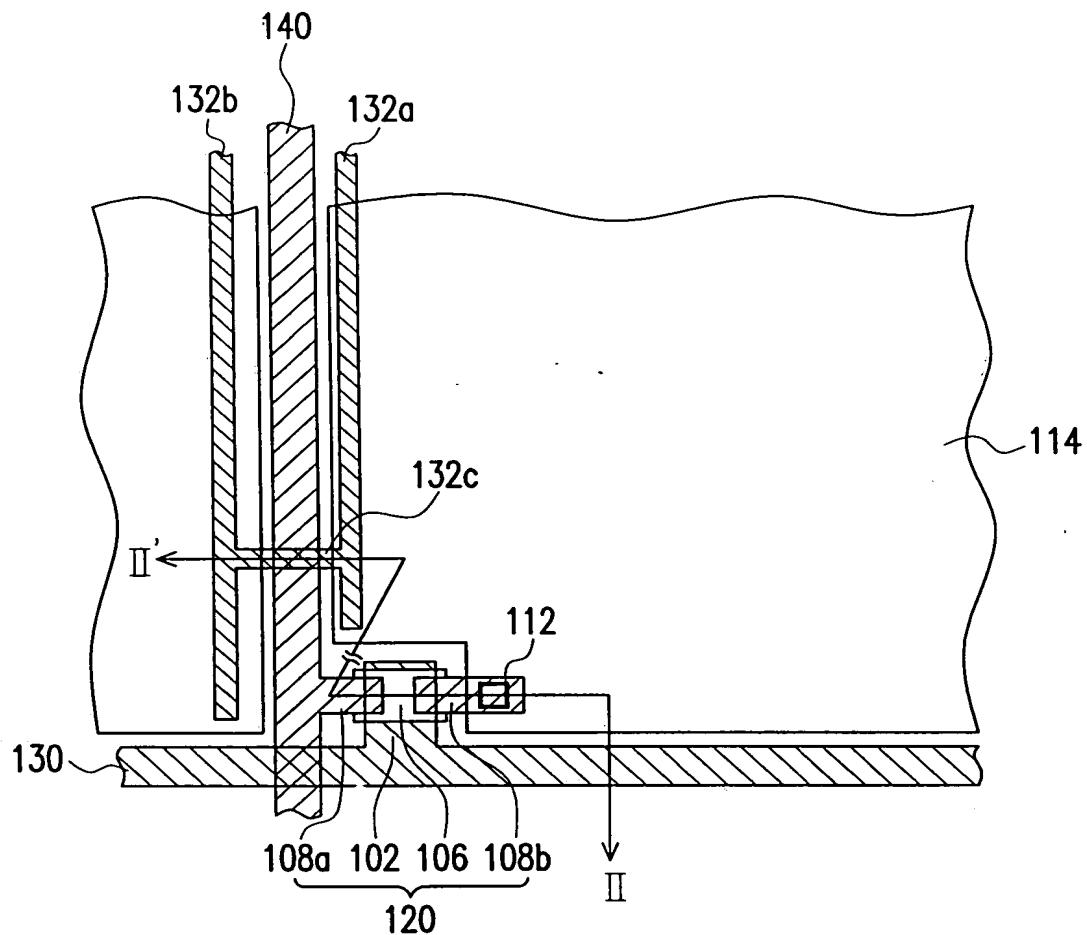




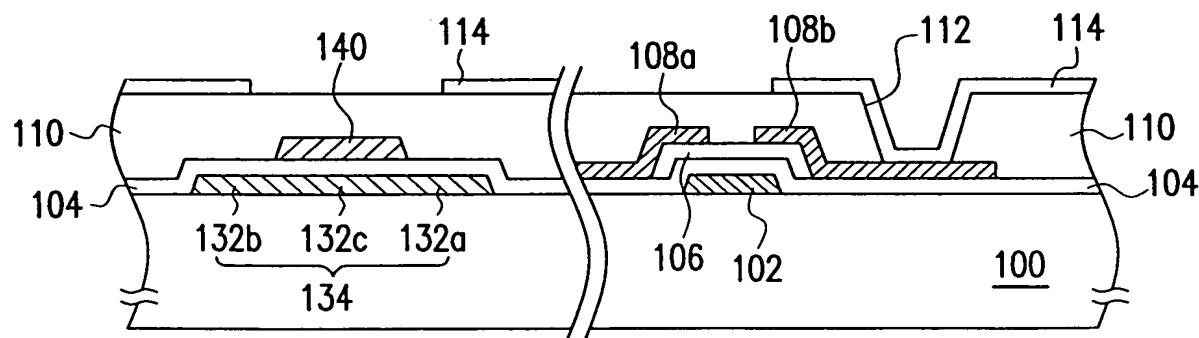
第 1 圖



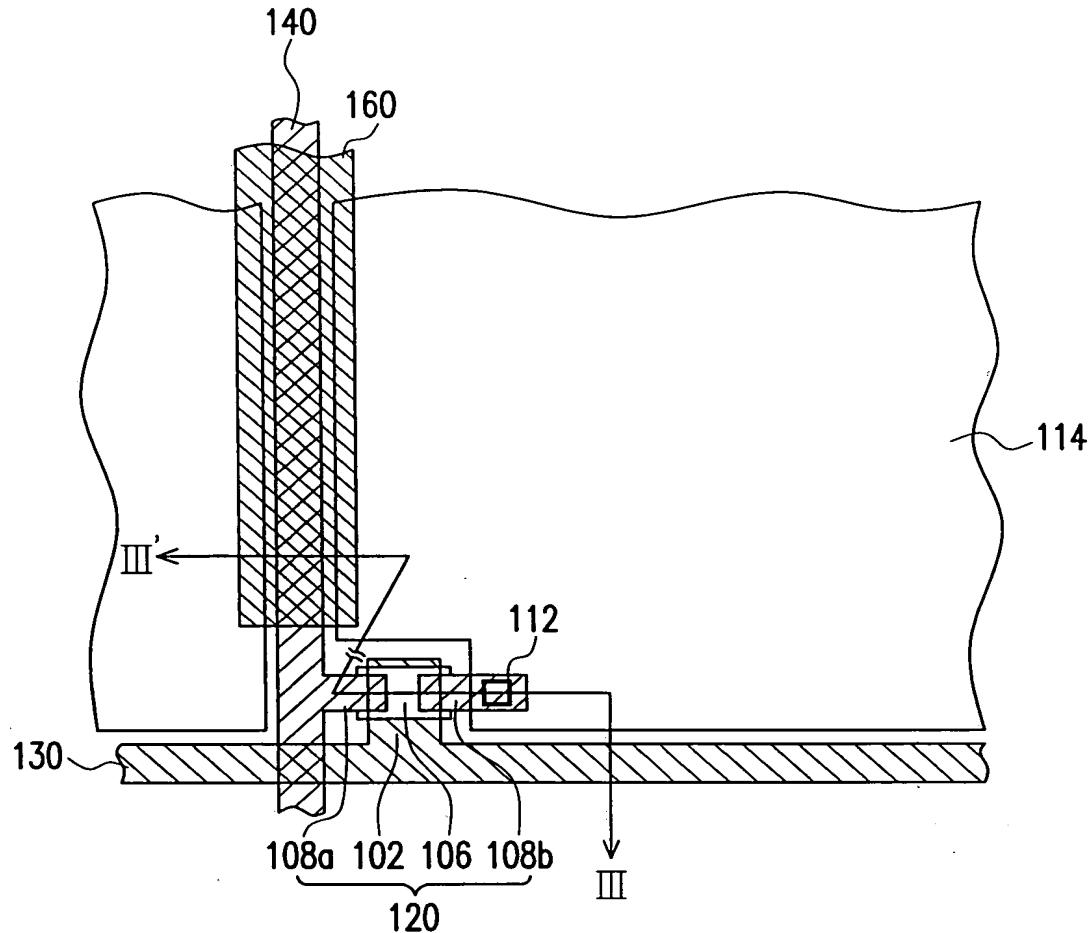
第 2 圖



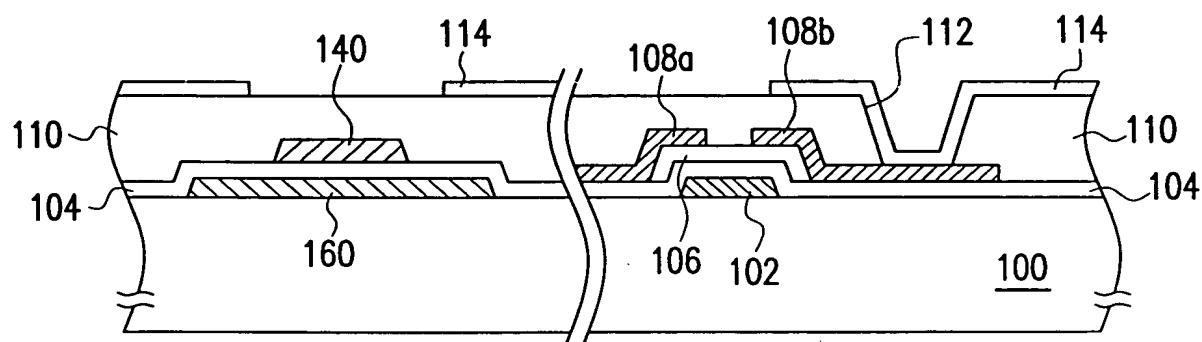
第 3 圖



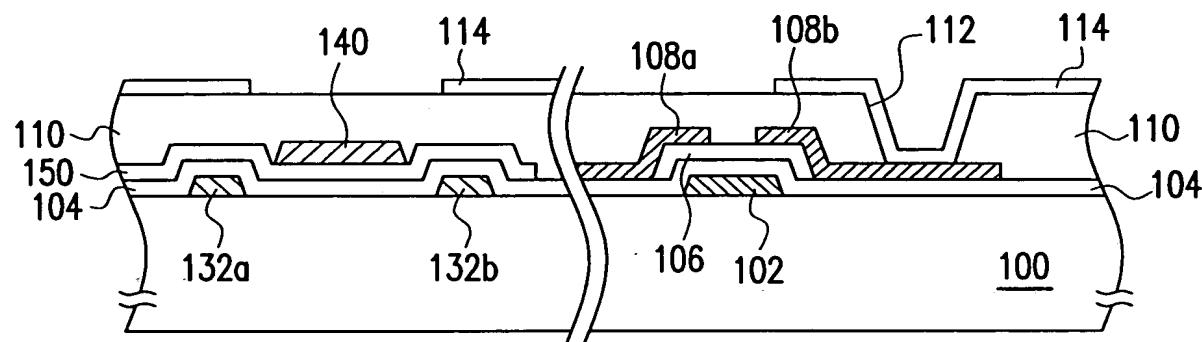
第 4 圖



第 5 圖



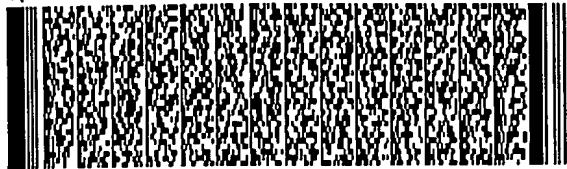
第 6 圖



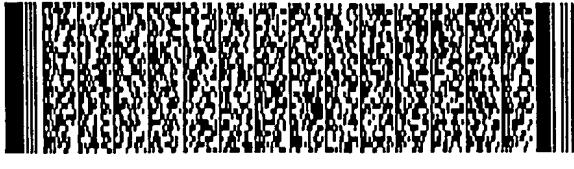
第 7 圖

申請案件名稱:畫素結構及其製造方法

第 1/23 頁



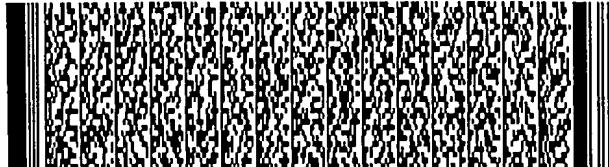
第 2/23 頁



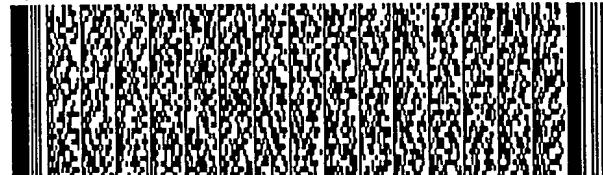
第 2/23 頁



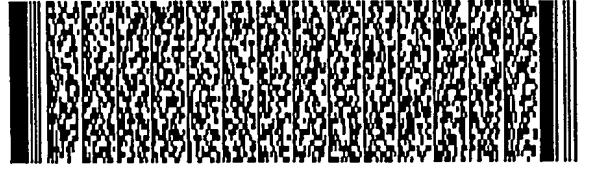
第 4/23 頁



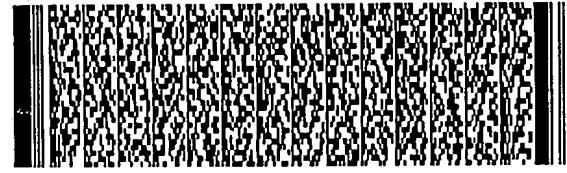
第 4/23 頁



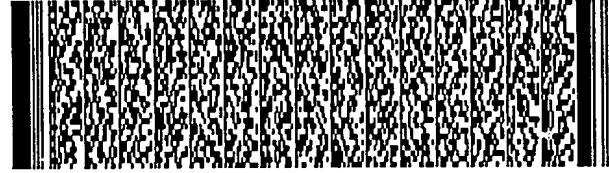
第 5/23 頁



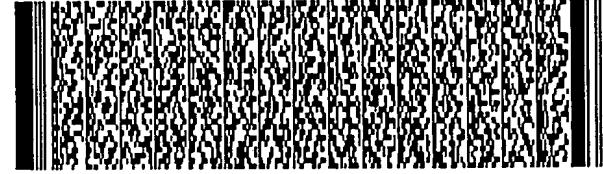
第 5/23 頁



第 6/23 頁



第 6/23 頁



第 7/23 頁



第 7/23 頁



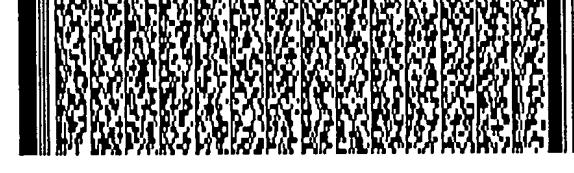
第 8/23 頁



第 8/23 頁



第 9/23 頁



第 9/23 頁

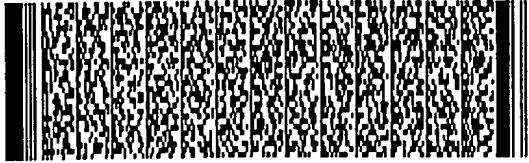


第 10/23 頁

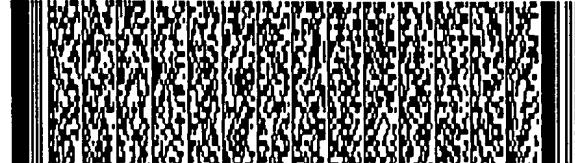


申請案件名稱: 畫素結構及其製造方法

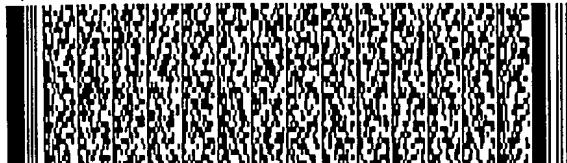
第 10/23 頁



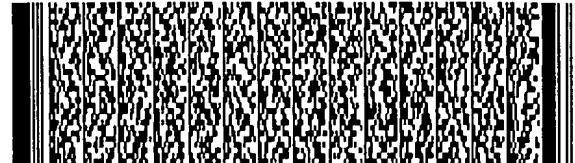
第 11/23 頁



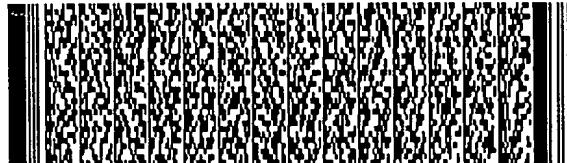
第 11/23 頁



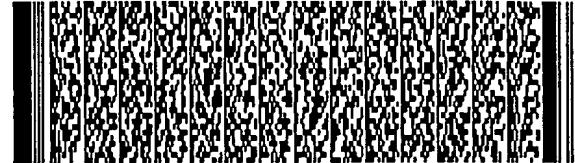
第 12/23 頁



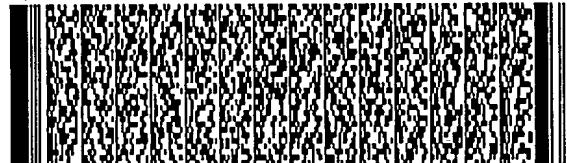
第 12/23 頁



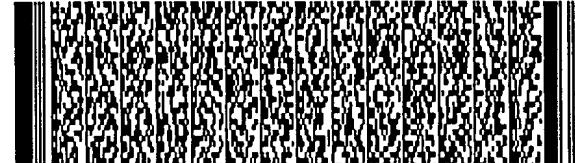
第 13/23 頁



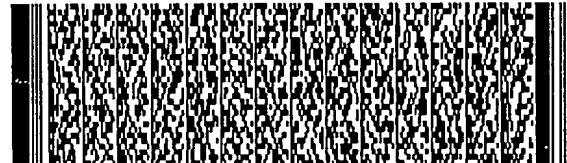
第 13/23 頁



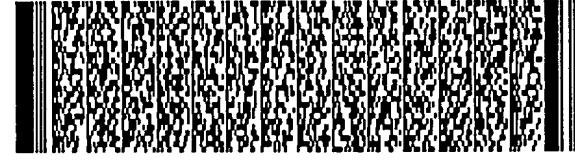
第 14/23 頁



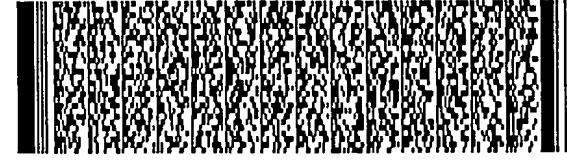
第 14/23 頁



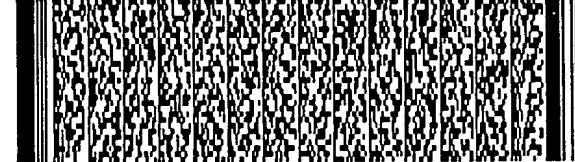
第 15/23 頁



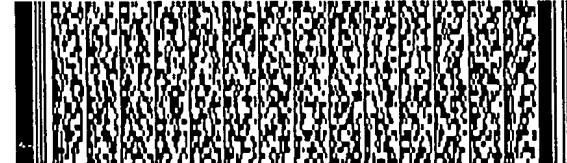
第 15/23 頁



第 16/23 頁



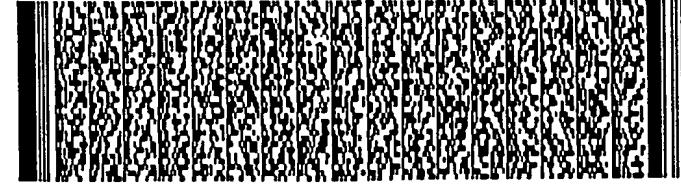
第 16/23 頁



第 17/23 頁



第 18/23 頁

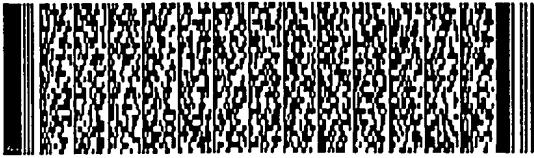


第 19/23 頁

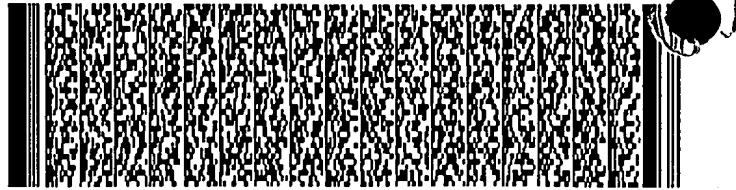


申請案件名稱: 畫素結構及其製造方法

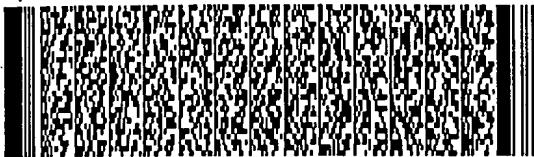
第 19/23 頁



第 20/23 頁



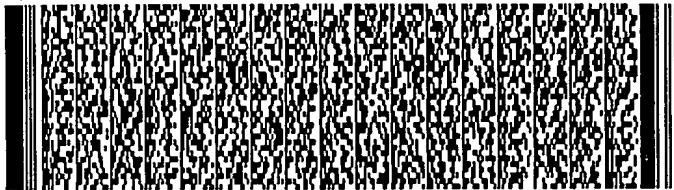
第 21/23 頁



第 21/23 頁



第 22/23 頁



第 23/23 頁

